

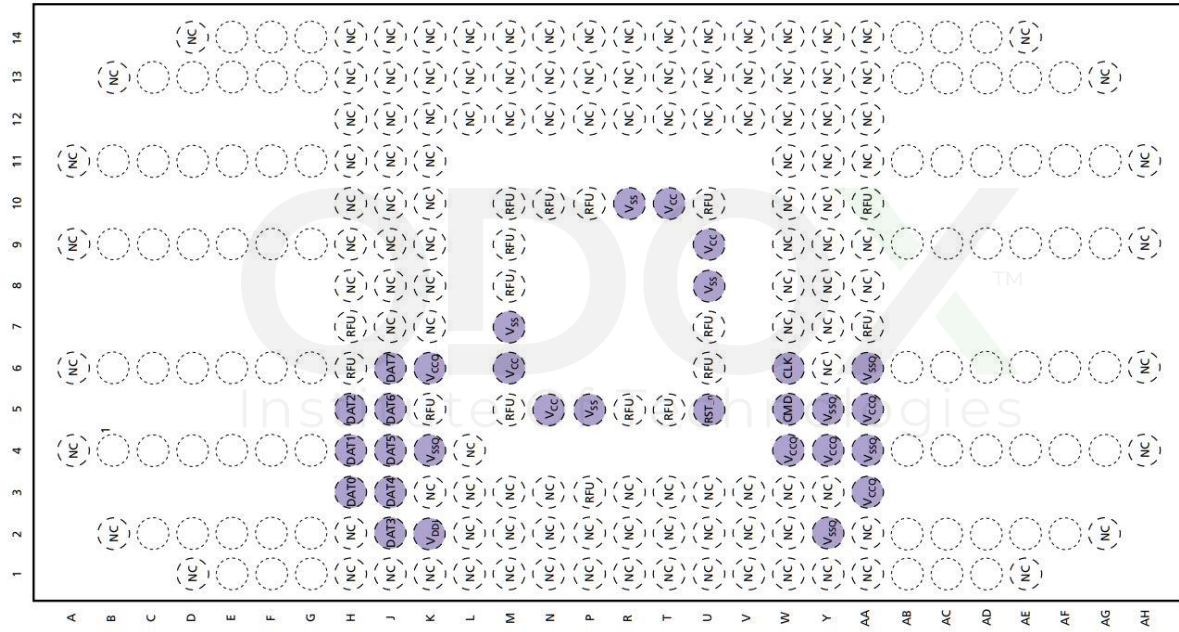
254 EMMC PINOUT

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	
A	DNU	DNU	DQ0_A	V _{DD1}	V _{DD2}	V _{DDQ}	V _{DDQ}	V _{DD2}	V _{DD1}				V _{DDQ}	V _{DDQ}	V _{DD1}	V _{DD1}	DNU	DNU	A
B	DNU		DQ1_A	V _{SS}	V _{DDQ}	V _{SS}	DQ4_A	V _{SS}	V _{DD2}				V _{DD2}	V _{DD2}	V _{DD1}	ZQ0		DNU	B
C			DQ2_A	V _{SS}	V _{SS}	DQ5_A	V _{SS}	DQ7_A	DQ50_t_A				CA2_A	V _{SS}	CA5_A	NC			C
D			DQ3_A	V _{SS}	DMI0_A	V _{SS}	DQ6_A	V _{SS}	DQ50_c_A				CA3_A	V _{SS}	V _{SS}	NC			D
E													CA4_A	V _{SS}	CS0_A	CKE0_A			E
F													CA1_A	V _{SS}	NC	NC			F
G			DQ13_A	V _{SS}	V _{SS}	V _{SS}	V _{DD2}	V _{DD2}	V _{DD2}				V _{SS}	CA0_A	V _{SS}	CK_c_A			G
H			DMI1_A	V _{SS}	V _{DDQ}	DQ14_A	V _{SS}	DQ15_A	V _{DDQ}				V _{SS}	NC	V _{SS}	CK_t_A			H
J			DQ11_A	V _{DDQ}	V _{DDQ}	V _{SS}	DQ12_A	V _{DDQ}	DQ51_c_A				ODT_CA_A	NC	V _{CCOM}	V _{CCOM}	V _{CCOM}		J
K		V _{DD2}	DQ10_A	V _{SS}	DQ8_A	DQ9_A	V _{SS}	V _{SS}	DQ51_t_A				V _{SS}	V _{SS}	V _{CCOM}	V _{SS}	NC		K
L							V _{DD2}	V _{DD2}	V _{DD2}			V _{SS}	DAT7	DAT6	V _{SS}	V _{SS}	V _{DDIM}		L
M			VSF1	VSF3	VSF5	VSF7	NC	V _{SS}	CMD			DS	V _{SS}	V _{SS}	DAT1	DAT4	V _{CCM}		M
N			NC	VSF4	VSF6	VSF8	NC	V _{SS}	RST_n				V _{SS}	DAT2	DAT5	V _{SS}	V _{SS}	V _{CCM}	N
P							V _{DD2}	V _{DD2}	V _{DD2}				CLK	V _{SS}	V _{SS}	DAT3	DAT0	V _{CCM}	P
R		V _{DD2}	DQ10_B	V _{SS}	DQ8_B	DQ9_B	V _{SS}	V _{SS}	DQ51_t_B				V _{CCOM}	V _{CCOM}	V _{SS}	V _{SS}	V _{SS}		R
T			DQ11_B	V _{DDQ}	V _{DDQ}	V _{SS}	DQ12_B	V _{DDQ}	DQ51_c_B				ODT_CA_B	NC	V _{CCOM}	V _{CCOM}	NC		T
U			DMI1_B	V _{SS}	V _{DDQ}	DQ14_B	V _{SS}	DQ15_B	V _{DDQ}				V _{SS}	NC	V _{SS}	CK_t_B			U
V			DQ13_B	V _{SS}	V _{SS}	V _{SS}	V _{DD2}	V _{DD2}	V _{DD2}				V _{SS}	CA0_B	V _{SS}	CK_c_B			V
W													CA1_B	V _{SS}	NC	NC			W
Y													CA4_B	V _{SS}	CS0_B	CKE0_B			Y
AA			DQ3_B	V _{SS}	DMI0_B	V _{SS}	DQ6_B	V _{SS}	DQ50_c_B				CA3_B	V _{SS}	V _{SS}	RESET_n			AA
AB			DQ2_B	V _{SS}	V _{SS}	DQ5_B	V _{SS}	DQ7_B	DQ50_t_B				CA2_B	V _{SS}	CA5_B	NC			AB
AC	DNU		DQ1_B	V _{SS}	V _{DDQ}	V _{SS}	DQ4_B	V _{SS}	V _{DD2}				V _{DD2}	V _{DD2}	V _{DD1}	NC		DNU	AC
AD	DNU	DNU	DQ0_B	V _{DD1}	V _{DD2}	V _{DDQ}	V _{DDQ}	V _{DD2}	V _{DD1}				V _{DDQ}	V _{DDQ}	V _{DD1}	V _{DD1}	DNU	DNU	AD

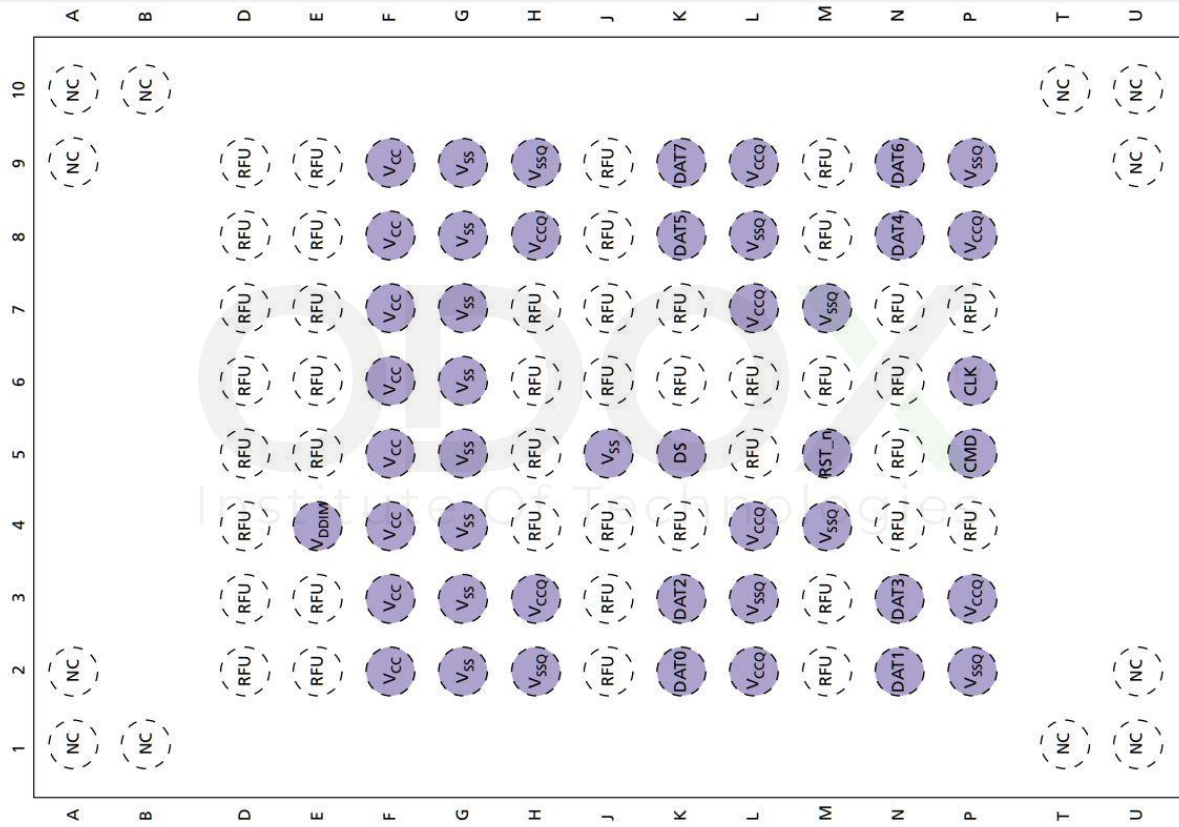
Top View (ball down)

DRAM Channel A
 DRAM Channel B
 NAND/Controller
 ZQ, ODT, RESET
 Supply
 Ground

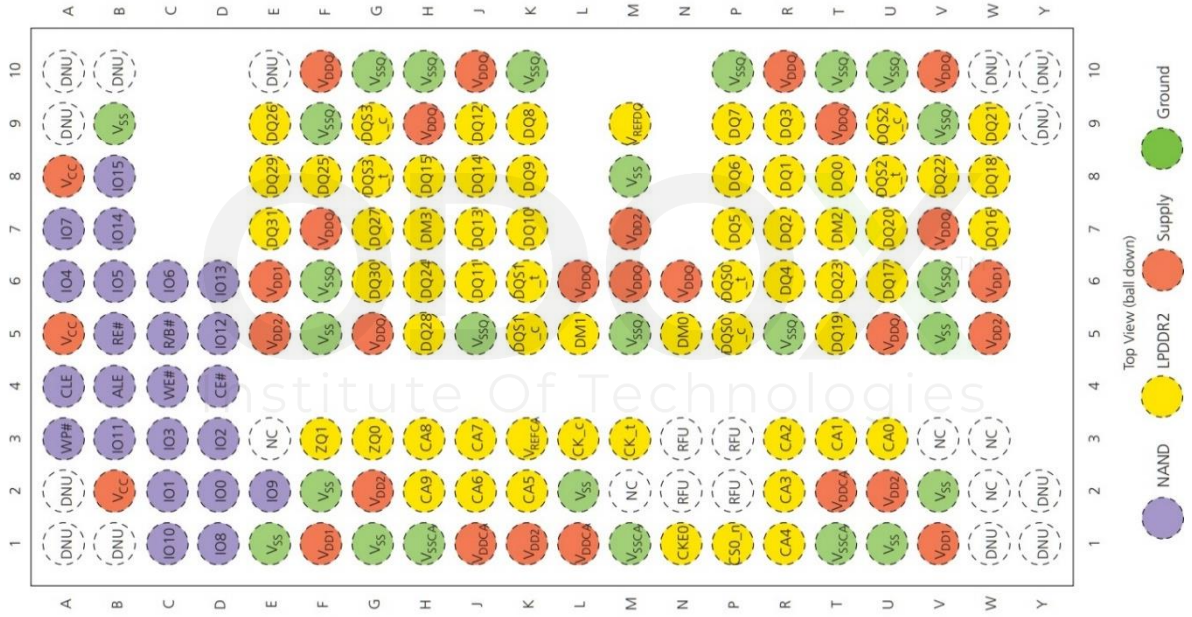
169 EMMC PINOUT



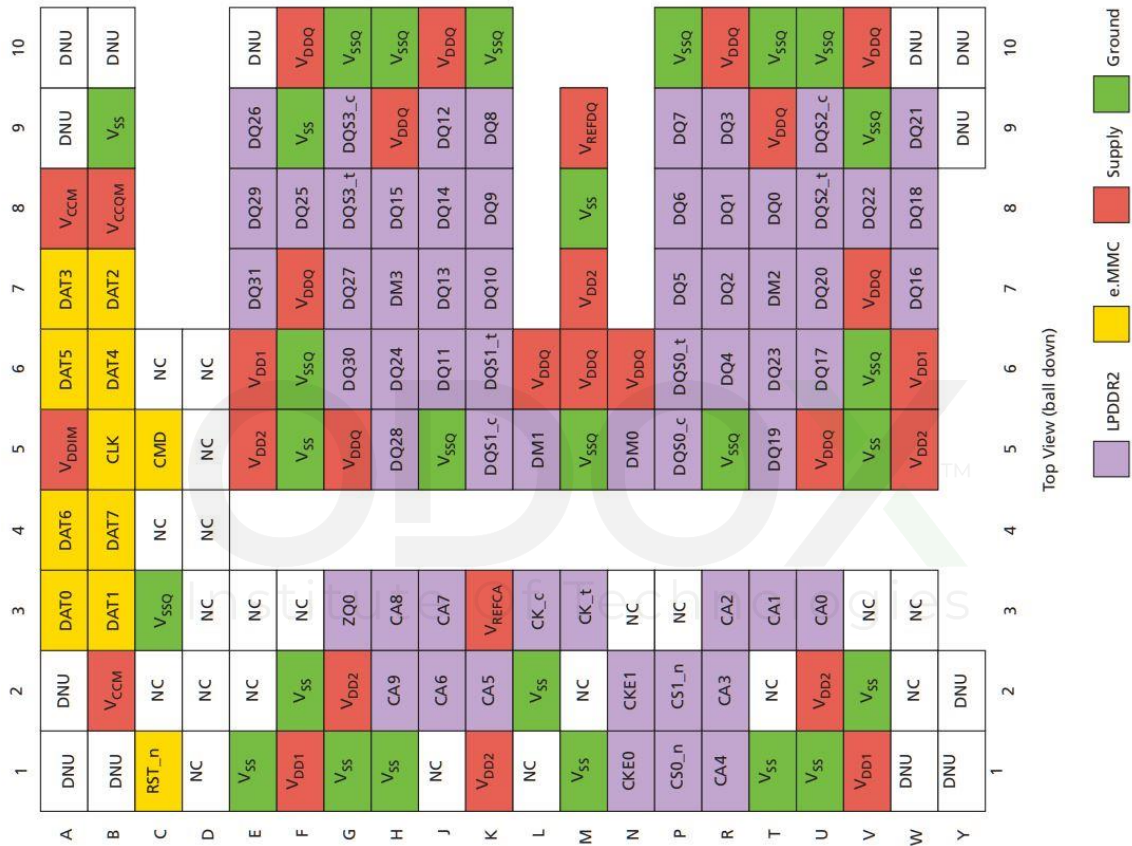
BGA 100 EMMC PINOUT



BGA 162 NAND +LPDDR



BGA162 MLC+LPDDR2



BGA 153 UFS PINOUT

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
A	NC	NC	V _{DDIQ}	NC	NC	V _{CCQ2}	V _{CCQ2}	NC	NC	NC	NC	NC	NC	NC	A
B	NC	V _{SS}	RFU	NC	NC	V _{CCQ2}	V _{CCQ2}	V _{CC}	V _{CC}	NC	V _{SS}	V _{SS}	RFU	NC	B
C	V _{SS}	V _{SS}	V _{SS}	NC	NC	V _{CCQ2}	V _{CCQ2}	V _{CC}	V _{CC}	RFU	V _{SS}	V _{SS}	RFU	RFU	C
D	D _{IN1-t}	D _{IN1-c}	V _{SS}	NC								V _{SS}	V _{SS}	V _{SS}	D
E	V _{SS}	V _{SS}	V _{SS}		NC	VSF1	NC	V _{CC}	VSF3	VSF4		V _{SS}	RFU	RFU	E
F	D _{IN0-t}	D _{IN0-c}	V _{SS}		NC					VSF5		V _{SS}	V _{SS}	V _{SS}	F
G	V _{SS}	V _{SS}	V _{SS}		VSF6					V _{SS}		V _{SS}	RFU	RFU	G
H	REF_CLK	RST_n	V _{SS}		V _{SS}					V _{SS}		V _{SS}	V _{SS}	V _{SS}	H
J	V _{SS}	V _{SS}	V _{SS}		V _{SS}					VSF7		V _{SS}	RFU	RFU	J
K	D _{OUT0-c}	D _{OUT0-t}	V _{SS}		V _{SS}	V _{CCQ2}	V _{CCQ2}	V _{CC}	NC	VSF8		V _{SS}	V _{SS}	V _{SS}	K
L	V _{SS}	V _{SS}	V _{SS}									V _{SS}	RFU	RFU	L
M	D _{OUT1-c}	D _{OUT1-t}	V _{SS}	V _{SS}	V _{SS}	RFU	RFU	NC	NC	RFU	NC	V _{SS}	V _{SS}	V _{SS}	M
N	NC	V _{SS}	V _{SS}	V _{SS}	V _{SS}	RFU	RFU	V _{CC}	V _{CC}	RFU	V _{SS}	V _{SS}	RFU	NC	N
P	NC	NC	RFU	V _{SS}	V _{SS}	RFU	RFU	V _{CC}	V _{CC}	VSF9	V _{SS}	V _{SS}	NC	NC	P
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	

BGA 254 UFS PINOUT

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	
A	DNU	DNU	DQ0_A	V _{DD1}	V _{DD2}	V _{DDQ}	V _{DDQ}	V _{DD2}	V _{DD1}				V _{DDQ}	V _{DDQ}	V _{DD1}	V _{DD1}	DNU	DNU	A
B	DNU		DQ1_A	V _{SS}	V _{DDQ}	V _{SS}	DQ4_A	V _{SS}	V _{DD2}				V _{DD2}	V _{DD2}	V _{DD1}	ZQ0		DNU	B
C			DQ2_A	V _{SS}	V _{SS}	DQ5_A	V _{SS}	DQ7_A	DQ50_t_A				CA2_A	V _{SS}	CA5_A	NC			C
D			DQ3_A	V _{SS}	DMD_A	V _{SS}	DQ6_A	V _{SS}	DQ50_c_A				CA3_A	V _{SS}	V _{SS}	NC			D
E													CA4_A	V _{SS}	CS0_A	CKB0_A			E
F													CA1_A	V _{SS}	NC	NC			F
G			DQ13_A	V _{SS}	V _{SS}	V _{SS}	V _{DD2}	V _{DD2}	V _{DD2}				V _{SS}	CA0_A	V _{SS}	CK_c_A			G
H			DM1_A	V _{SS}	V _{DDQ}	DQ14_A	V _{SS}	DQ15_A	V _{DDQ}				V _{SS}	NC	V _{SS}	CK_t_A			H
J			DQ11_A	V _{DDQ}	V _{DDQ}	V _{SS}	DQ12_A	V _{DDQ}	DQ51_t_A				DDT_CA_A	NC	V _{CCQ2}	V _{CCQ2}	V _{CCQ2}		J
K		V _{DD2}	DQ10_A	V _{SS}	DQ8_A	DQ9_A	V _{SS}	V _{SS}	DQ51_t_A				V _{SS}	V _{SS}	V _{CCQ2}	V _{SS}	NC		K
L							V _{DD2}	V _{DD2}	V _{DD2}				V _{SS}	D _{IN1_c}	D _{IN1_t}	V _{SS}	V _{SS}	NC	L
M			NC	V _{SF1}	V _{SF3}	V _{SF5}	RFU	V _{SS}	RFU				RST_n	V _{SS}	V _{SS}	D _{NO_c}	D _{NO_t}	V _{CC}	M
N			NC	V _{SF2}	V _{SF4}	V _{SF6}	RFU	V _{SS}	RFU				V _{SS}	D _{OUT_c}	D _{OUT_t}	V _{SS}	V _{SS}	V _{CC}	N
P							V _{DD2}	V _{DD2}	V _{DD2}				REF_CLK	V _{SS}	V _{SS}	D _{OUT_c}	D _{OUT_t}	V _{CC}	P
R		V _{DD2}	DQ10_B	V _{SS}	DQ8_B	DQ9_B	V _{SS}	V _{SS}	DQ51_t_B				NC	NC	V _{SS}	V _{SS}	V _{SS}		R
T			DQ11_B	V _{DDQ}	V _{DDQ}	V _{SS}	DQ12_B	V _{DDQ}	DQ51_c_B				DDT_CA_B	NC	NC	NC	V _{DDIQ}		T
U			DM1_B	V _{SS}	V _{DDQ}	DQ14_B	V _{SS}	DQ15_B	V _{DDQ}				V _{SS}	NC	V _{SS}	CK_t_B			U
V			DQ13_B	V _{SS}	V _{SS}	V _{SS}	V _{DD2}	V _{DD2}	V _{DD2}				V _{SS}	CA0_B	V _{SS}	CK_c_B			V
W													CA1_B	V _{SS}	NC	NC			W
Y													CA4_B	V _{SS}	CS0_B	CKE0_B			Y
AA			DQ3_B	V _{SS}	DMD_B	V _{SS}	DQ6_B	V _{SS}	DQ50_c_B				CA3_B	V _{SS}	V _{SS}	RESET_n			AA
AB			DQ2_B	V _{SS}	V _{SS}	DQ5_B	V _{SS}	DQ7_B	DQ50_t_B				CA2_B	V _{SS}	CA5_B	NC			AB
AC	DNU		DQ1_B	V _{SS}	V _{DDQ}	V _{SS}	DQ4_B	V _{SS}	V _{DD2}				V _{DD2}	V _{DD2}	V _{DD1}	NC		DNU	AC
AD	DNU	DNU	DQ0_B	V _{DD1}	V _{DD2}	V _{DDQ}	V _{DDQ}	V _{DD2}	V _{DD1}				V _{DDQ}	V _{DDQ}	V _{DD1}	V _{DD1}	DNU	DNU	AD